

NOTICE TO SUBMIT RESPONSE

Patent Applicant

Name: Samsung Electronics Co., Ltd. (Applicant Code: 119981042713)
Address: 416 Maetan-3-dong, Paldal-gu, Suwon-City,
Kyunggi-do, Korea

Attorney

Name: Young-pil Lee et al.
Address: 2F Cheonghwa Bldg., 1571-18 Seocho-dong, Seocho-ku, Seoul,
Korea

Application No.: 10-2001-0006985

Title of the Invention: Method of patterning a spin on glass layer

According to Article 63 of the Korean Patent Law, the applicant is notified that the present application has been rejected for the reasons given below. Any Argument or Amendment which the applicant may wish to submit, must be submitted by March 24, 2003. An indefinite number of one-month extensions in the period for submitting a response may be obtained upon request, however no official confirmation of the acceptance of a request for an extension will be issued.

Reasons

The invention as claimed in claim 1 could have been easily invented by one of ordinary skill in the art prior to the filing of the application, and thus this application is rejected according to Article 29(2) of the Korean Patent Law.

Below

The invention relates to a method of manufacturing a semiconductor device, and more particularly to a method of patterning a spin-on-glass (SOG) layer which is capable of preventing the profile of an SOG layer pattern from deteriorating due to a cleaning process. However, Korean Patent Publication No. 1996-035818 (published 28 October 1996) discloses a method of forming a contact window which is capable of improving dielectric characteristics of an SOG layer by performing a first curing process on the SOG layer and then performing a second curing process on the SOG layer after removing a photosensitive

pattern. In addition, Korean Patent Publication No. 1996-035821 (published 28 October 1996) discloses a method of forming a contact hole which involves forming an SOG layer on a predetermined structure, performing a first curing process on the SOG layer, removing first and second dielectric layers and the SOG layer, and performing a second curing process on the resulting structure. Accordingly, the present invention is considered to have been possibly invented by those skilled in the art based upon the two cited inventions

Enclosure: Korean Patent Publication No. 1996-035818
 Korean Patent Publication No. 1996-035821

24 January 2003

Tae-joon Seo/Examiner
Examination Division 4
Korean Industrial Property Office

Attorney Docket No. 5649-915

PATENT

10/060486
01/30/02
Priority Doc.
E. Willis
7-9-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Min-hee Cho et al.
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: METHODS OF FORMING SPIN ON GLASS LAYERS BY CURING REMAINING
PORTIONS THEREOF

January 30, 2002

BOX PATENT APPLICATION
Commissioner for Patents
Washington, DC 20231

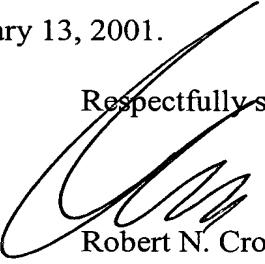
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2001-6985, filed February 13, 2001.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635



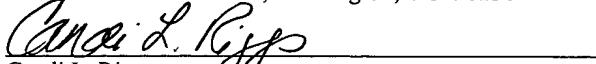
20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400
Facsimile: 919/854-1401
Our File No. 5649-915

"Express Mail" mailing label number EL 733099007 US
Date of Deposit: January 30, 2002

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231


Candi L. Riggs
Date of Signature: January 30, 2002

10/060486
1C978 U.S. PRO
01/30/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 6985 호
Application Number

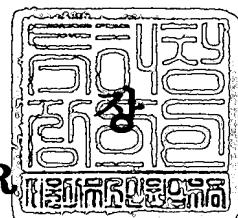
출원년월일 : 2001년 02월 13일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001년 04월 16일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2001.02.13
【국제특허분류】	H01L
【발명의 명칭】	SOG 막 패터닝 방법
【발명의 영문명칭】	Method for patterning a spin on glass layer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	조민희
【성명의 영문표기】	CHO, Min Hee
【주민등록번호】	720807-1067010
【우편번호】	425-183
【주소】	경기도 안산시 본오3동 1134-11 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	조창현
【성명의 영문표기】	CHO, Chang Hyun
【주민등록번호】	651223-1551121
【우편번호】	135-220
【주소】	서울특별시 강남구 수서동 708번지 삼익아파트 405동 306호
【국적】	KR

【발명자】

【성명의 국문표기】	신수호
【성명의 영문표기】	SHIN, Soo Ho
【주민등록번호】	691202-1226610
【우편번호】	132-030
【주소】	서울특별시 도봉구 쌍문동 73번지 경남아파트 1동 1010호
【국적】	KR

【발명자】

【성명의 국문표기】	정홍식
【성명의 영문표기】	JEONG, Hong Sik
【주민등록번호】	620527-1041425
【우편번호】	441-450
【주소】	경기도 수원시 권선구 호매실동 L G 삼익아파트 112동 204호
【국적】	KR

【심사청구】

【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
------	--

【수수료】

【기본출원료】	17 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	14 항	557,000 원
【합계】	586,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 SOG막 패터닝 방법을 개시한다. 본 발명은 먼저, (a) 소정의 패턴이 형성되어 있는 반도체 기판 상에 SOG막을 스픽 코팅 방식으로 도포한다. 이어서, (b) 상기 SOG막을 1차 큐어링한 후, (c) 상기 SOG막 상에 하드 마스크 패턴을 형성한다. 다음에, (d) 상기 하드 마스크 패턴을 마스크로 하여 상기 반도체 기판으로부터 소정 높이의 상기 SOG막은 식각되지 않고 남아있도록 상기 SOG막을 식각한다. 이어서, (e) 상기 SOG막을 2차 큐어링한 후, (f) 상기 하드 마스크 패턴을 마스크로 하여 식각되지 않고 남아있는 나머지의 상기 SOG막을 식각한다.

【대표도】

도 5

【명세서】

【발명의 명칭】

SOG 막 패터닝 방법{Method for patterning a spin on glass layer}

【도면의 간단한 설명】

도 1 내지 도 2는 종래의 SOG(Spin On Glass)막 패터닝 방법을 공정 순서에 따라 도시한 단면도들이다.

도 3 내지 도 6은 본 발명의 바람직한 실시예에 따른 SOG막 패터닝 방법을 공정순서에 따라 도시한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <3> 본 발명은 반도체 제조방법에 관한 것으로, 더욱 상세하게는 SOG막 패터닝 방법에 관한 것이다.
- <4> 최근 반도체 소자의 제조 기술이 발전함에 따라, 소자의 집적도는 증가하고 디자인 룰(design rule)은 감소하고 있다. 따라서, 동일층 상에 인접한 도전층들 사이의 거리가 감소하여 이를 도전층들 사이의 빈 공간(gap)의 넓이와 높이의 비를 나타내는 종횡비(aspect ratio)는 증가하고 있다. 이에 따라 각 도전층들 사이에서 높은 종횡비를 갖는 빈 공간을 채우기 위한 기술이 필요하게 되었다.
- <5> 우수한 캡 필링(gap filling) 특성을 가지는 충간질연막으로는 BPSG(Boron phosphorus Silicate Glass)막, HDP(High Density Plasma) 산화막 등이 사용되고 있다.

그러나, BPSG막의 경우에는 800°C 이상의 고온 고정이 요구되고, HDP 산화막의 경우에는 종횡비가 2.5 이상이 되면 캡 필링 특성이 현저히 저하되는 문제가 있다.

<6> 상기와 같은 문제점들을 해결하기 위하여, SOG(Spin On Glass)막을 층간절연막으로 주로 사용하고 있다. SOG막은 상온에서 액상으로 존재하므로 캡 필링 특성이 우수하나, 큐어링 과정을 통해 치밀화(densification)하여야 한다.

<7> 도 1 내지 도 2는 종래의 SOG막 패터닝 방법을 공정 순서에 따라 도시한 단면도들이다.

<8> 도 1을 참조하면, 소정의 패턴(미도시)이 형성되어 있는 반도체 기판(10) 상에 SOG 막(12)을 도포한다. 다음에, SOG막(12)을 치밀화하기 위하여 큐어링을 실시한다. 그러나, SOG막(12) 하단부는 상기 큐어링에 의해 치밀화가 충분히 되지 않는 경향이 있다. 큐어링이 충분히 이루어지지 않은 SOG막(12) 하단부는 후속의 세정 공정에 대하여 매우 취약한 특성을 나타낸다. 이에 대하여는 후술하기로 한다.

<9> 이어서, SOG막(12) 상에 하드 마스크용 물질을 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 하드 마스크 패턴(14)을 형성한다. 다음에, 반도체 기판(10)의 소정 영역이 노출되도록 하드 마스크 패턴(14)을 마스크로 하여 SOG막(12)을 식각한다.

<10> 도 2를 참조하면, 노출된 반도체 기판(10)의 소정 영역을 세정한다. 상기 세정은 반도체 기판(10)과 패드 또는 콘택틀러그(contact plug) 사이의 접촉 저항을 줄이기 위해 실시하는 것이다. 상기 세정은 SC1(Standard Cleaning 1) 세정액(수산화암모늄, 과산화수소 및 탈이온수의 혼합액)을 사용한다. 그러나, 상기 세정 공정에서 큐어링이 충분히 이루어지지 않은 SOG막(12a) 하단부는 큐어링이 충분히 이루어진 SOG막(12a) 상단부

에 비하여 빨리 식각되는 특성을 나타낸다.

<11> SOG막의 문제는 근접효과로 인해 SOG막의 하단부가 큐어링이 충분히 이루어지지 않는다는 것이다. 즉, 상부 표면에서 멀리 떨어진 하단부는 큐어링이 제대로 이루어지지 않는 현상이 나타나게 된다. 이로 인해 후속의 세정 공정에서 SOG막 패턴의 프로파일(profile)은 불량해지고, 심한 경우에는 SOG막의 하단부가 모두 제거되어 SOG막 패턴 자체가 허물어지는 경우도 발생할 수 있다. 또한 SOG막의 큐어링이 제대로 이루어지지 않는 경우, 흡습 및 아웃가싱(out gasing) 특성을 보이게 된다. 이러한 특성들은 후속 공정에서 콘택 프로파일(contact profile) 불량에 의한 콘택 폐일(contact fail), 흡습 또는 아웃가싱에 의한 금속 배선충 산화 등의 문제를 유발하게 된다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 세정 공정에 의해 SOG막 패턴의 프로파일이 불량해지는 현상을 방지할 수 있는 SOG막 패터닝 방법을 제공함에 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여 본 발명은, 먼저, (a) 소정의 패턴이 형성되어 있는 반도체 기판 상에 SOG막을 스픬 코팅 방식으로 도포한다. 이어서, (b) 상기 SOG막을 1차 큐어링한 후, (c) 상기 SOG막 상에 하드 마스크 패턴을 형성한다. 다음에, (d) 상기 하드 마스크 패턴을 마스크로 하여 상기 반도체 기판으로부터 소정 높이의 상기 SOG막은 식각되지 않고 남아있도록 상기 SOG막을 식각한다. 이어서, (e) 상기 SOG막을 2차 큐어링한 후, (f) 상기 하드 마스크 패턴을 마스크로 하여 식각되지 않고 남아있는 나머지의 상기 SOG막을 식각한다.

<14> 상기 (f) 단계 후, 노출된 상기 반도체 기판의 소정 영역을 세정하는 단계 및 패터 넣된 상기 SOG막 사이의 빈 공간에 도전막을 채워 넣는 단계를 더 포함할 수 있다.

<15> 상기 1차 큐어링 단계는 600°C 내지 800°C 정도의 온도에서 20분 내지 2시간 정도 실시하는 것이 바람직하다.

<16> 상기 2차 큐어링 단계는 400°C 내지 800°C 정도의 온도에서 10분 내지 1시간 정도 실시하는 것이 바람직하다.

<17> 상기 1차 및 2차 큐어링 단계는 분위기 가스로서 H_2O , O_2 , N_2 , H_2 , NO_2 또는 이들의 조합 가스를 사용하는 것이 바람직하다.

<18> 상기 (d) 단계의 식각되지 않고 남아있는 상기 SOG막은 상기 2차 큐어링 단계에서 상기 반도체 기판이 산화되지 않도록 충분히 보호층의 역할을 할 수 있을 정도의 높이를 갖는 것이 바람직하다.

<19> 상기 (d) 단계의 식각은 식각 가스로서 C-F 계열의 가스 또는 CO 가스를 사용하고, 반응 가스로서 산소(O_2) 가스를 사용하며, 분위기 가스로서 불활성 가스를 사용하는 것이 바람직하다.

<20> 상기 (d) 단계의 식각은 1000W 내지 2000W 정도의 RF 파워로, 10 mTorr 내지 100 mTorr 정도의 압력, 0°C 내지 60°C 정도의 온도에서 20초 내지 50초 정도 실시하는 것이 바람직하다.

<21> 상기 (f) 단계의 식각은 식각 가스로서 C-F 계열의 가스 또는 CO 가스를 사용하고, 반응 가스로서 산소(O_2) 가스를 사용하며, 분위기 가스로서 불활성 가스를 사용하는 것이 바람직하다.

<22> 상기 (f) 단계의 식각은 1000W 내지 2000W 정도의 RF 파워로, 10 mTorr 내지 100 mTorr 정도의 압력, 0°C 내지 60°C 정도의 온도에서 5초 내지 30초 정도 실시하는 것이 바람직하다.

<23> 상기 하드 마스크 패턴은 폴리실리콘막, 알루미늄 산화막(Al_2O_3), 알루미늄 질화막(AlN) 또는 실리콘 질화막(Si_3N_4)으로 이루어지는 것이 바람직하다.

<24> 상기 (a) 단계는 소정의 패턴이 형성되어 있는 반도체 기판 상에 스토퍼막을 형성하는 단계 및 상기 스토퍼막 상에 SOG막을 형성하는 단계로 이루어지고, 상기 (f) 단계 후에 상기 하드 마스크 패턴을 마스크로 하여 상기 스토퍼막을 식각하는 단계를 더 포함할 수 있다.

<25> 상기 스토퍼막은 실리콘 질화막(Si_3N_4), 알루미늄 산화막(Al_2O_3), 알루미늄 질화막(AlN), 티타늄 질화막(TiN) 또는 탄탈륨 질화막(TaN)으로 이루어지는 것이 바람직하다.

<26> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야의 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 본 발명의 범위를 한정하는 것으로 해석되어 졌서는 아니된다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면 상에서 동일 부호는 동일한 요소를 지칭한다.

<27> 도 3 내지 도 6은 본 발명의 바람직한 실시예에 따른 SOG막 패터닝 방법을 공정순

서에 따라 도시한 단면도들이다.

<28> 도 3을 참조하면, 소정의 패턴(미도시)이 형성되어 있는 반도체 기판(100) 상에 SOG막(102)을 도포한다. 상기 소정의 패턴은 게이트 전극, 비트라인 전극 또는 금속 배선일 수 있다. 여기서, 소정의 패턴이 형성되어 있는 반도체 기판(100) 상에는 스토퍼(stopper)막(미도시)이 더 형성되어 있을 수 있으며, 이 경우 SOG막(102)은 상기 스토퍼막 상에 도포한다. 상기 스토퍼막은 실리콘 질화막(Si_3N_4), 알루미늄 산화막(Al_2O_3), 알루미늄 질화막(AlN), 티타늄 질화막(TiN) 또는 탄탈륨 질화막(TaN)으로 형성하는 것이 바람직하다. 상기 SOG막(102)을 형성하는 데 사용되는 SOG 물질로서는 유기 또는 무기 SOG 물질을 모두 사용할 수 있으며, 실리케이트(silicate), 실록산(siloxan) 또는 하이드로겐 실세스퀴옥산(hydrogen silsesquioxane) 등을 사용할 수 있다. SOG막(102)은 일반적으로 점도가 1.5 내지 1.9 정도로서, 상온에서 액상으로 존재하므로 스픈 코팅(spin coating) 방식으로 도포한다. SOG막(102)은 디스펜서를 이용하여 회전하는 웨이퍼 상에 소정의 양을 떨어뜨려 도포한다. 이때, 스픈 코터의 회전수는 1000 내지 4000 rpm 정도인 것이 바람직하다. 상기 스픈 코팅은 도포하려는 SOG막(102)의 두께, SOG막(102)의 점도, 스픈 코터의 회전수 등에 따라 2회 이상 반복하여 수행할 수 있다. SOG막(102)은 상온에서 액상으로 존재하므로 우수한 캡 필링 특성을 나타낸다.

<29> 이어서, SOG막(102)을 치밀화하기 위하여 1차 큐어링을 실시한다. 상기 1차 큐어링은 600°C 내지 800°C 정도의 온도에서 20분 내지 2시간 정도 실시하는 것이 바람직하다. 이때, 분위기 가스로서 H_2O , O_2 , N_2 , H_2 , NO_2 또는 이들의 조합 가스를 사용하는 것이 바람직하고, 더욱 바람직하게는 H_2O 및 O_2 가스를 사용한다.

<30> 이어서, SOG막(102) 상에 하드 마스크용 물질을 증착한 후, 포토리소그래피 공정 및 식각 공정을 이용하여 하드 마스크 패턴(104)을 형성한다. 상기 하드 마스크용 물질은 폴리실리콘막, 알루미늄 산화막(Al_2O_3), 알루미늄 질화막(AlN) 또는 실리콘 질화막(Si_3N_4)인 것이 바람직하다.

<31> 도 4를 참조하면, 하드 마스크 패턴(104)을 마스크로 하여 반도체 기판(100)으로부터 소정 높이의 SOG막(102)은 식각되지 않고 남아있도록 SOG막(102)을 식각한다. 식각되지 않고 남아있는 SOG막(102a)은 후속의 2차 큐어링 단계에서 반도체 기판(100)이 산화되지 않도록 충분히 보호층의 역할을 할 수 있을 정도의 높이(T)를 갖는 것이 바람직하다. 예컨대, 반도체 기판(100)으로부터 300\AA 내지 500\AA 정도의 높이가 되는 SOG막(102a)은 식각되지 않도록 남겨둔다. 소정 높이의 SOG막(102) 하단부를 남기지 않고 SOG막(102)을 식각하여 2차 큐어링을 실시할 경우, 노출된 소정 영역의 반도체 기판(100), 예컨대 Si 기판에는 두꺼운 산화막이 형성될 수 있으므로 이를 방지하기 위한 것이다. 이때, 식각 가스로는 C_5F_8 , C_4F_8 와 같은 C-F 계열의 가스 또는 CO 가스를 사용하는 것이 바람직하다. 또한 산소(O_2) 가스 및 아르곤(Ar)과 같은 불활성 가스도 함께 사용한다. SOG막(102)의 식각은 10 mTorr 내지 100 mTorr 정도의 압력, 0°C 내지 60°C 정도의 온도에서 20초 내지 50초 정도, 바람직하게는 30초 정도 실시하는 것이 바람직하다. RF 파워는 1000W 내지 2000W 정도인 것이 바람직하다.

<32> 도 5를 참조하면, SOG막(102a)의 하단부를 치밀화하기 위하여 2차 큐어링을 실시한다. 도 5에서의 화살표는 SOG막(102a)의 2차 큐어링이 수행된다는 점을 보다 명백히 나타내기 위하여 도시한 것이다. 상기 2차 큐어링은 400°C 내지 800°C 정도의 온도에서 10분 내지 1시간 정도 실시하는 것이 바람직하다. 이때, 분위기 가스로서 H

Z_2 , O_2 , N_2 , H_2 , NO_2 또는 이들의 조합 가스를 사용하는 것이 바람직하고, 더욱 바람직하게는 H_2O 및 O_2 가스를 사용한다.

<33> 도 6을 참조하면, 반도체 기판(100)의 소정 영역이 노출되도록 하드 마스크 패턴(104)을 마스크로 하여 식각되지 않고 남아있는 나머지의 SOG막(102a)을 식각한다. 이때, 식각 가스로는 C_5F_8 , C_4F_8 와 같은 C-F 계열의 가스 또는 CO 가스를 사용하는 것이 바람직하다. 또한 산소(O_2) 가스 및 아르곤(Ar)과 같은 불활성 가스도 함께 사용한다. SOG막(102)의 식각은 10 내지 100 mTorr 정도의 압력, 0°C 내지 60°C 정도의 온도에서 5초 내지 30초 정도, 바람직하게는 15초 정도 실시하는 것이 바람직하다. RF 파워는 1000W 내지 2000W 정도인 것이 바람직하다. 소정의 패턴이 형성되어 있는 반도체 기판(100) 상에 스토퍼막이 형성되는 경우에는 하드 마스크 패턴(104)을 마스크로 하여 상기 스토퍼막도 식각한다.

<34> 이어서, 노출된 반도체 기판(100)의 소정 영역을 세정한다. 상기 세정은 반도체 기판(100)과 패드 또는 콘택플러그 사이의 접촉 저항을 줄이기 위해 실시하는 것이다. 상기 세정은 SC1(Standard Cleaning 1) 세정액(수산화암모늄, 과산화수소 및 탈이온수의 혼합액) 또는 불화수소(HF)의 희석액을 사용한다. 상기 세정은 20°C 내지 80°C 정도의 온도에서 2분 내지 20분 정도 실시하는 것이 바람직하다.

<35> 이어서, SOG막(102b) 패턴들 사이의 빈 공간에 도전막을 증착하여 반도체 기판(100)과 상부의 금속 배선을 적기적으로 연결하는 패드 또는 콘택 플러그를 형성한다. 상기 도전막은 폴리실리콘막일 수 있다.

<36> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기

실시예에 한정되지 않으며, 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 많은 변형이 가능함은 명백하다.

【발명의 효과】

<37> 본 발명에 의한 SOG막 패터닝 방법에 의하면, SOG막 도포 후 1차 큐어링을 실시하고, 소정 높이의 SOG막 하단부는 식각되지 않도록 상기 SOG막을 패터닝한 후에도 2차 큐어링을 실시하기 때문에, 상기 SOG막의 하단부도 큐어링이 충분히 이루어질 수 있다. 따라서, 큐어링이 충분히 이루어지지 않은 SOG막의 하단부가 세정 공정에서 빠르게 식각되어 SOG막 패턴의 프로파일이 불량하던 종래의 문제점을 개선할 수 있고, SOG막 패턴의 프로파일 불량에 의한 콘택 페일, 흡습 또는 아웃가싱에 의한 금속 배선층 산화 등의 문제도 억제할 수 있다.

【특허청구범위】**【청구항 1】**

(a) 소정의 패턴이 형성되어 있는 반도체 기판 상에 SOG막을 스픬 코팅 방식으로 도포하는 단계;

(b) 상기 SOG막을 1차 큐어링하는 단계;

(c) 상기 SOG막 상에 하드 마스크 패턴을 형성하는 단계;

(d) 상기 하드 마스크 패턴을 마스크로 하여 상기 반도체 기판으로부터 소정 높이의 상기 SOG막은 식각되지 않고 남아있도록 상기 SOG막을 식각하는 단계;

(e) 상기 SOG막을 2차 큐어링하는 단계; 및

(f) 상기 하드 마스크 패턴을 마스크로 하여 식각되지 않고 남아있는 나머지의 상기 SOG막을 식각하는 단계를 포함하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 2】

제1항에 있어서, 상기 (f) 단계 후,
노출된 상기 반도체 기판의 소정 영역을 세정하는 단계; 및
패터닝된 상기 SOG막 사이의 빈 공간에 도전막을 채워 넣는 단계를 더 포함하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 3】

제1항에 있어서, 상기 1차 큐어링 단계는 600°C 내지 800°C 정도의 온도에서 20분 내지 2시간 정도 실시하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 4】

제1항에 있어서, 상기 2차 큐어링 단계는 400°C 내지 800°C 정도의 온도에서 10분 내지 1시간 정도 실시하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 5】

제1항에 있어서, 상기 1차 및 2차 큐어링 단계는 분위기 가스로서 H₂O, O₂, N₂, H₂, NO₂ 또는 이들의 조합 가스를 사용하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 6】

제1항에 있어서, 상기 (d) 단계의 식각되지 않고 남아있는 상기 SOG막은 상기 2차 큐어링 단계에서 상기 반도체 기판이 산화되지 않도록 충분히 보호층의 역할을 할 수 있을 정도의 높이를 갖는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 7】

제6항에 있어서, 상기 높이는 300Å 내지 500Å 정도인 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 8】

제1항에 있어서, 상기 (d) 단계의 식각은 식각 가스로서 C-F 계열의 가스 또는 CO 가스를 사용하고, 반응 가스로서 산소(O₂) 가스를 사용하며, 분위기 가스로서 불활성 가스를 사용하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 9】

제1항에 있어서, 상기 (d) 단계의 식각은 1000W 내지 2000W 정도의 RF 파워로, 10

mTorr 내지 100 mTorr 정도의 압력, 0°C 내지 60°C 정도의 온도에서 20초 내지 50초 정도 실시하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 10】

제1항에 있어서, 상기 (f) 단계의 식각은 식각 가스로서 C-F 계열의 가스 또는 CO 가스를 사용하고, 반응 가스로서 산소(O_2) 가스를 사용하며, 분위기 가스로서 불활성 가스를 사용하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 11】

제1항에 있어서, 상기 (f) 단계의 식각은 1000W 내지 2000W 정도의 RF 파워로, 10 mTorr 내지 100 mTorr 정도의 압력, 0°C 내지 60°C 정도의 온도에서 5초 내지 30초 정도 실시하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 12】

제1항에 있어서, 상기 하드 마스크 패턴은 폴리실리콘막, 알루미늄 산화막(Al_2O_3), 알루미늄 질화막(AlN) 또는 실리콘 질화막(Si_3N_4)으로 이루어진 것을 특징으로 하는 SOG 막 패터닝 방법.

【청구항 13】

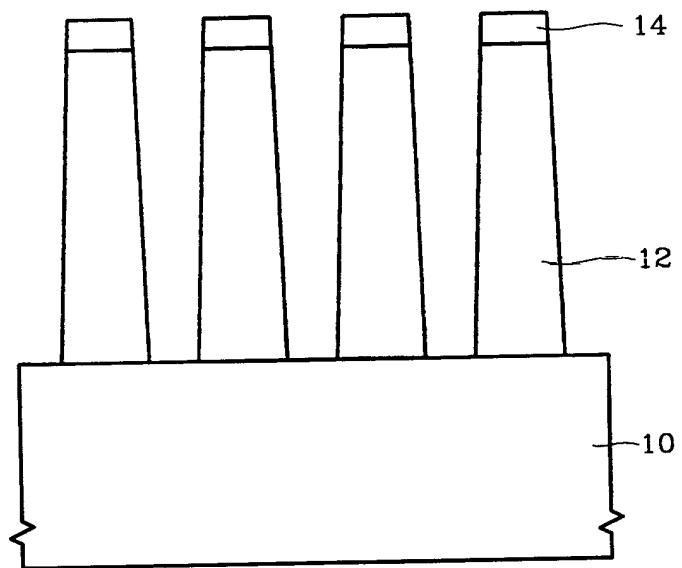
제1항에 있어서, 상기 (a) 단계는 소정의 패턴이 형성되어 있는 반도체 기판 상에 스토퍼막을 형성하는 단계; 및 상기 스토퍼막 상에 SOG막을 형성하는 단계로 이루어지고, 상기 (f) 단계 후에 상기 하드 마스크 패턴을 마스크로 하여 상기 스토퍼막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 SOG막 패터닝 방법.

【청구항 14】

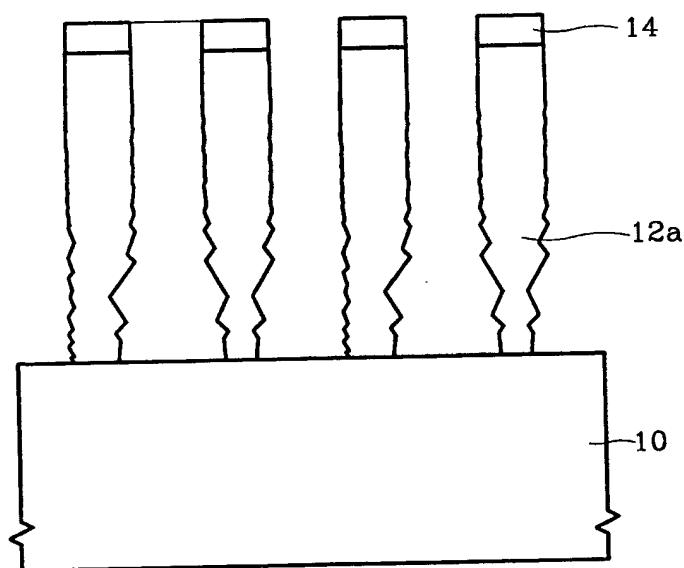
제13항에 있어서, 상기 스토퍼막은 실리콘 질화막(Si_3N_4), 알루미늄 산화막(Al_2O_3), 알루미늄 질화막(AlN), 티타늄 질화막(TiN) 또는 탄탈륨 질화막(TaN)으로 이루어진 것을 특징으로 하는 SOG막 패터닝 방법.

【도면】

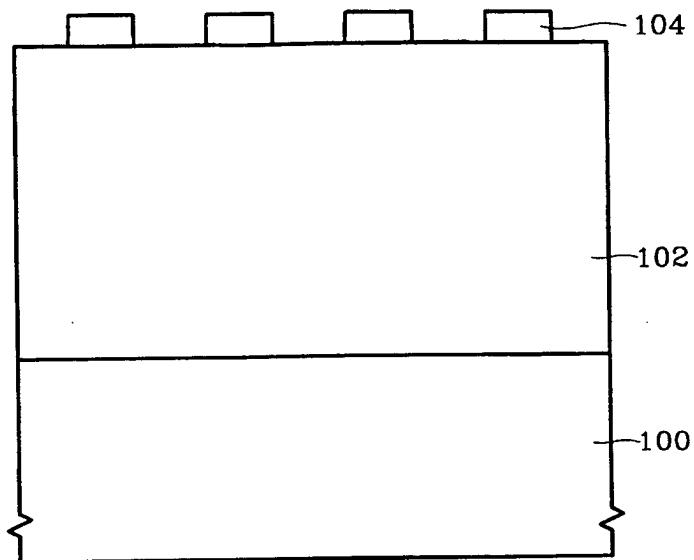
【도 1】



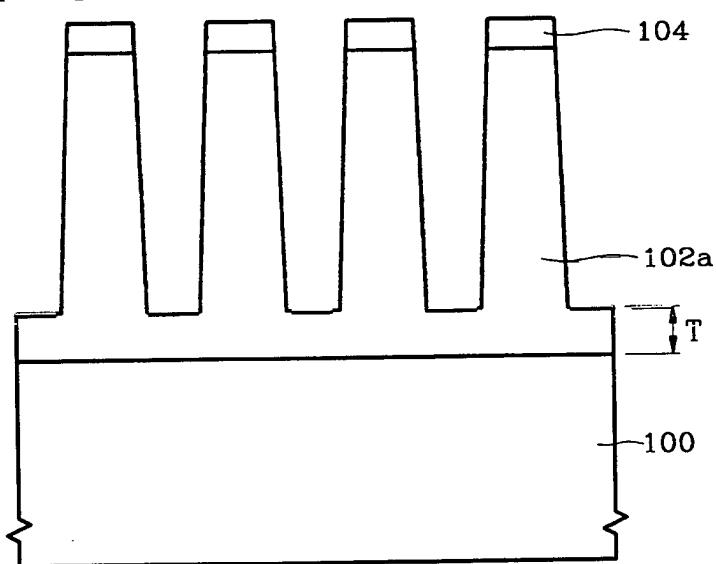
【도 2】



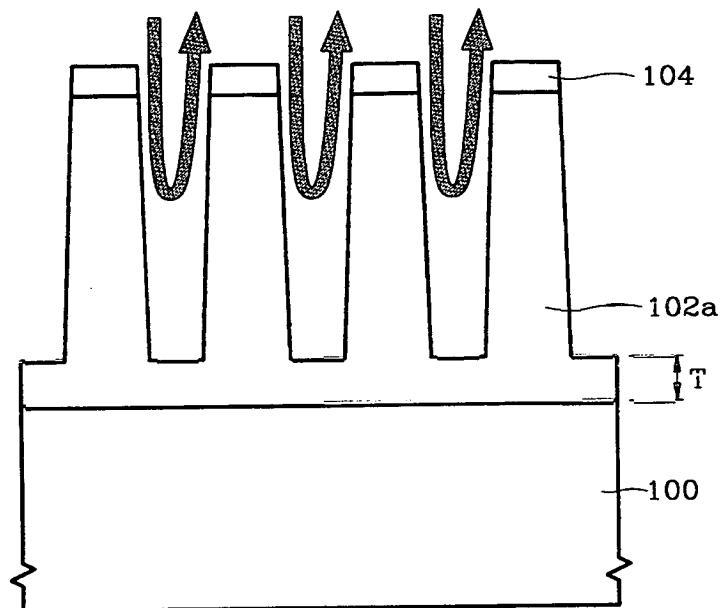
【도 3】



【도 4】



【도 5】



【도 6】

